

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2004-128185**

(43)Date of publication of application : **22.04.2004**

(51)Int.Cl.

H01L 21/336
H01L 21/20
H01L 21/762
H01L 21/764
H01L 21/8234
H01L 27/08
H01L 27/088
H01L 27/12
H01L 29/786

(21)Application number : **2002-289655** (71)Applicant : **RENESAS TECHNOLOGY CORP**

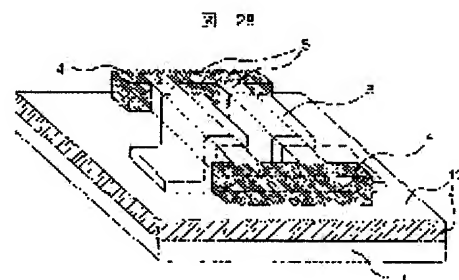
(22)Date of filing : **02.10.2002** (72)Inventor : **SUGII NOBUYUKI**
ONISHI KAZUHIRO
WASHIO KATSUYOSHI

(54) INSULATED GATE FIELD-EFFECT TRANSISTOR (FET) AND SEMICONDUCTOR DEVICE, AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent deterioration in short-channel characteristics caused by a fact that a silicon germanium layer is brought into contact with a channel of a strained SOI transistor, and to realize a double-gate structure of the strained SOI transistor and a mixed mounting of an ordinary silicon or SOI transistor and the strained SOI transistor on the same wafer.

SOLUTION: An insulated gate FET having high mobility and a short gate length and a method of manufacturing the same are provided. For example, a strained silicon layer is grown on a strain-relaxed silicon germanium layer, and then the silicon germanium layer is partially removed to compose a channel layer out of the strained silicon layer.



LEGAL STATUS

[Date of request for examination] 14.03.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-128185

(P2004-128185A)

(43) 公開日 平成16年4月22日(2004.4.22)

(51) Int. Cl. 7	F I	テーマコード (参考)
H O 1 L 21/336	H O 1 L 29/78 6 1 8 Z	5 F 0 3 2
H O 1 L 21/20	H O 1 L 21/20	5 F 0 4 8
H O 1 L 21/762	H O 1 L 27/08 3 3 1 E	5 F 0 5 2
H O 1 L 21/764	H O 1 L 27/12 L	5 F 1 1 0
H O 1 L 21/8234	H O 1 L 27/12 R	
審査請求 未請求 請求項の数 20 O L (全 32 頁) 最終頁に続く		

(21) 出願番号 特願2002-289655 (P2002-289655)
 (22) 出願日 平成14年10月2日 (2002. 10. 2)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区丸の内二丁目4番1号
 (74) 代理人 100068504
 弁理士 小川 勝男
 (72) 発明者 杉井 信之
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 (72) 発明者 大西 和博
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内
 (72) 発明者 鷲尾 勝由
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内

最終頁に続く

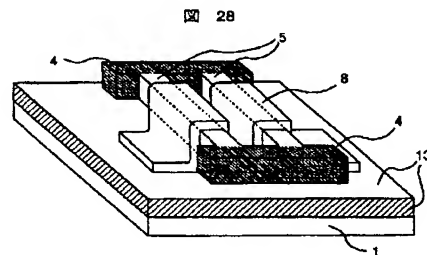
(54) 【発明の名称】 絶縁ゲート型電界効果型トランジスタ及び半導体装置、並びにその製造方法

(57) 【要約】

【課題】本発明は、歪みSOIトランジスタのチャネルにシリコンゲルマニウム層が接すること起因する短チャネル特性の悪化を回避する。更には、歪みSOIトランジスタのダブルゲート化や通常のシリコンないしはSOIトランジスタとの同一ウェハ上への混載を実現する。

【解決手段】本願発明は、例えば、歪み緩和シリコンゲルマニウム層上に歪みシリコン層を成長させ、しかるのちに部分的にシリコンゲルマニウム層を除去することによって、歪みシリコン層によってチャネル層を構成する。

【選択図】 図28



【特許請求の範囲】

【請求項1】

互いに対向して配置された第1及び第2の不純物領域と、これらの両不純物領域の間にチャンネルとを有する歪みシリコン層と、この歪みシリコン層上の、少なくとも前記チャンネルに対応する領域にゲート絶縁膜と、当該ゲート絶縁膜上にゲート電極とを有し、且つ、前記歪みシリコン層は、前記チャンネルに対応する領域に接するシリコンゲルマニウム層を有せず且つ前記チャンネルに対応する領域以外の領域において、シリコンゲルマニウム層と接した領域を有することを特徴とする絶縁ゲート型電界効果型トランジスタ。

【請求項2】

前記第1及び第2の不純物領域に接するソース電極及びドレイン電極が、前記歪みシリコン層が接するシリコンゲルマニウム層を含むことを特徴とする請求項1に記載の絶縁ゲート型電界効果型トランジスタ。

10

【請求項3】

前記歪みシリコン層は基板の上部に配置され、前記歪みシリコン層における、少なくとも前記チャンネルに対応する、前記基板側の領域にはシリコンゲルマニウム層が存在しないことを特徴とする請求項1に記載の絶縁ゲート型電界効果型トランジスタ。

【請求項4】

前記歪みシリコン層は基板の上部に配置され、前記歪みシリコン層の少なくとも前記チャンネルに対応する面の、前記基板側の領域には空隙が存在することを特徴とする請求項1に記載の絶縁ゲート型電界効果型トランジスタ。

20

【請求項5】

前記歪みシリコン層は、基板の上部に配置され、前記歪みシリコン層の少なくとも前記チャンネルに対応する面の、前記基板側の領域には絶縁膜が存在することを特徴とする請求項1に記載の絶縁ゲート型電界効果型トランジスタ。

【請求項6】

前記歪みシリコン層は、前記チャンネルに対応する領域の一部の領域が、これに接するシリコンゲルマニウム層を有しないことを特徴とする請求項1に記載の絶縁ゲート型電界効果型トランジスタ。

【請求項7】

互いに対向して配置された第1及び第2の不純物領域と、これらの両不純物領域の間にチャンネルとを有する歪みシリコン層と、この歪みシリコン層上の、少なくとも前記チャンネルに対応する領域にゲート絶縁膜と、当該ゲート絶縁膜上にゲート電極とを有し、且つ、前記歪みシリコン層は、前記チャンネルに対応する領域に接するシリコンゲルマニウム層を有せず且つ前記チャンネルに対応する領域以外の領域において、シリコンゲルマニウム層と接した領域を有する絶縁ゲート型電界効果型トランジスタと、

30

互いに対向して配置された第1及び第2の不純物領域と、これらの両不純物領域の間にチャンネルとを有する歪みシリコン層と、この歪みシリコン層上の、少なくとも前記チャンネルに対応する領域にゲート絶縁膜と、当該ゲート絶縁膜上にゲート電極とを有し、且つ、前記歪みシリコン層は、前記チャンネルに対応する領域の一部の領域が、これに接するシリコンゲルマニウム層を有しない絶縁ゲート型電界効果型トランジスタとが、同一支持基板に形成されていることを特徴とする半導体装置。

40

【請求項8】

支持基板上に、棒状の歪みシリコン層と、

前記棒状の歪みシリコン層の長手方向に対して垂直な方向に、前記棒状の歪みシリコン層の上面を跨いで前記棒状の歪みシリコン層の両側面の少なくとも一部を覆うゲート絶縁膜と、当該ゲート絶縁膜上のゲート電極と、

前記棒状の歪みシリコン層の長手方向の、ゲート電極の両側部に位置する領域にソース領域及びドレイン領域と、を有し、

前記棒状の歪みシリコン層の、前記ゲート電極の下部領域に対応して、前記棒状の歪みシリコン層の長手方向に沿ってチャンネルが形成されていることを特徴とする絶縁ゲート型電

50

界効果型トランジスタ。

【請求項 9】

前記棒状の歪みシリコン層の、支持基板と交差し且つ前記棒状の歪みシリコン層の長手方向に沿う二つの面側の前記ゲート絶縁膜の上に、各々、ゲート電極が形成されていることを特徴とする請求項 8 項記載の絶縁ゲート型電界効果型トランジスタ。

【請求項 10】

前記棒状の歪みシリコン層の長手方向の両端部で且つ前記チャネルが存在しない領域の下部に、当該棒状の歪みシリコン層に接してシリコンゲルマニウム層を有することを特徴とする請求項 8 項記載の絶縁ゲート型電界効果型トランジスタ。

【請求項 11】

前記棒状の歪みシリコン層を複数有し、且つ前記ソース領域及び前記ドレイン領域の一组は、そのソース領域及びドレイン領域が前記複数の棒状の歪みシリコン層に共通に形成されており、複数チャネルに接続されていることを特徴とする請求項 8 項記載の絶縁ゲート型電界効果型トランジスタ。

【請求項 12】

支持基板上に、
長手方向を有する側面を対向して配置された複数の棒状の歪みシリコン層と、当該複数の棒状の歪みシリコン層の相互間に配置された複数の棒状のシリコンゲルマニウム層と、
前記複数の棒状の歪みシリコン層及び前記複数の棒状のシリコンゲルマニウム層の、前記長手方向を有する側面に跨ぐように形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と
前記複数の棒状の歪みシリコン層及び前記複数の棒状のシリコンゲルマニウム層の長手方向に沿ってゲート電極の両側の部分に形成されたソース領域及びドレイン領域と、を有し

、
前記歪みシリコン層の前記ゲート電極の下部で且つ前記支持基板と反対側の領域にチャネルが形成されたことを特徴とする絶縁ゲート型電界効果型トランジスタ。

【請求項 13】

前記歪みシリコン層の前記支持基板に交差する方向の二つの側面側にチャネルが形成されたことを特徴とする請求項 12 に記載の絶縁ゲート型電界効果型トランジスタ。

【請求項 14】

前記ソース領域及びドレイン領域は、前記複数の棒状の歪みシリコン層が有する、複数のチャネル領域に共通に接続されていることを特徴とする請求項 12 に記載の絶縁ゲート型電界効果型トランジスタ。

【請求項 15】

前記支持基板は、主表面の面方位が $\{100\}$ のシリコン基板であり、前記棒状の歪みシリコン層の長手方向が前記支持基板の $\langle 100 \rangle$ 方向と略並行であることを特徴とする請求項 7 に記載の絶縁ゲート型電界効果型トランジスタ。

【請求項 16】

前記支持基板は、主表面の面方位が $\{100\}$ のシリコン基板であり、前記棒状の歪みシリコン層の長手方向が前記支持基板の $\langle 100 \rangle$ 方向と略並行であることを特徴とする請求項 11 に記載の絶縁ゲート型電界効果型トランジスタ。

【請求項 17】

前記支持基板は、主表面の面方位が $\{100\}$ のシリコン基板であり、前記棒状の歪みシリコン層の長手方向が前記支持基板の $\langle 110 \rangle$ 方向と略並行であることを特徴とする請求項 7 に記載の絶縁ゲート型電界効果型トランジスタ。

【請求項 18】

前記支持基板は、主表面の面方位が $\{100\}$ のシリコン基板であり、前記棒状の歪みシリコン層の長手方向が前記支持基板の $\langle 110 \rangle$ 方向と略並行であることを特徴とする請求項 11 に記載の絶縁ゲート型電界効果型トランジスタ。

【請求項 19】

10

20

30

40

50

シリコン基板の表面に酸化膜を形成する工程、その一部分をエッチングにより開口部を形成する工程、前記開口部にイオンを注入する工程、前記開口部にシリコンゲルマニウムシード結晶を成長する工程、前記開口部及び前記酸化膜の上部に非晶質シリコンゲルマニウムを堆積する工程、前記非晶質シリコンゲルマニウムを加熱しシリコンゲルマニウム結晶とする工程、前記シリコンゲルマニウム結晶の上部に歪みシリコンを堆積する工程を含むことを特徴とする絶縁ゲート型トランジスタの製造方法。

【請求項 20】

シリコン基板の表面に酸化膜を形成する工程、その一部分をエッチングにより開口部を形成する工程、前記開口部にシリコンゲルマニウムシード結晶を成長する工程、前記シリコンゲルマニウムシード結晶の表面を酸化する工程、前記シリコンゲルマニウムシード結晶を高温熱処理する工程、前記シリコンゲルマニウムシード結晶表面の酸化膜を除去する工程、前記開口部及び前記酸化膜の上部に非晶質シリコンゲルマニウムを堆積する工程、前記非晶質シリコンゲルマニウムを加熱しシリコンゲルマニウム結晶とする工程、前記シリコンゲルマニウム結晶の上部に歪みシリコンを堆積する工程を含むことを特徴とする絶縁ゲート型トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願発明は、高移動度且つ短ゲート長の絶縁ゲート型電界効果型トランジスタ及びその製造方法に関するものである。更には、本願発明は、前記絶縁ゲート型電界効果型トランジスタを用いた半導体装置に関するものである。本願発明のトランジスタは、論理回路やアナログ回路等を含む電子回路に用いる半導体装置、特に高速性や低消費電力を要求される分野に用いて有用である。

【0002】

【従来の技術】

シリコン半導体装置、特に電界効果型トランジスタは、これまで素子の微細化により回路の高集積化と高性能化を両立させてきた。しかしながら、トランジスタのゲート寸法が50nm未満にまで極微細化するに至り、微細化のみで高性能化する事が甚だ困難になっている。このような極微細素子では、従来多く用いられてきた単結晶シリコン基板の表面付近を素子の能動領域に用いたものに代わり、能動領域のシリコン層を薄層化し、絶縁体層の上に積層するいわゆるSOI(Silicon-on-insulator)構造を用いる事が有利になってきている。

【0003】

中でもチャネル層の両側をゲートで挟んだダブルゲート構造が、極微細素子の動作には最も有利な構造とされている。ダブルゲート構造に関しては、例えば、公開公報、特開2002-16255号に構造や製造方法の例が開示されている(特許文献1)。ダブルゲート構造の別な形態は、フィン型ダブルゲートトランジスタ(略称: FinFET)と呼ばれる構造である。この例は、例えば国際電子デバイス会議(IEDM)の1998年会議録第1082頁-第1084頁に示される(非特許文献2)。

【0004】

一方で、微細化のみにより性能向上を図るのではなく、歪みシリコントランジスタが近年注目を集めている。歪みシリコントランジスタとは、シリコンに歪みを印加してキャリアの移動度を向上させ、性能向上を図ったトランジスタである。この例は、例えば、日経エレクトロニクス2001年7月16日号、63-67頁に例示されているように、同じゲート寸法であれば35%程度高性能化する事が可能とされている(非特許文献1)。又、歪みSOIトランジスタの別な例は例えば、公開公報、特開平9-321807号に見られる(特許文献2)。しかし、特開平9-321807号公報では、歪みシリコンチャネルには歪みを保持する為に必ず歪緩和したシリコンゲルマニウム層が接している必要があった(特許文献2)。このため、別の特開2000286418号公報では、基板製造段階でシリコンゲルマニウム層を除去していた(特許文献3)。

10

20

30

40

50

【0005】

これまで取り組まれてきた歪みSOIトランジスタの難点について説明する。例えば、公開公報、特開平9-821307号に示される構造が、従来の代表的な歪みSOIトランジスタである（特許文献2）。この例では、チャンネルとなるべき歪みシリコン層の下には歪みを印加させるためのシリコンゲルマニウム層が必ず必要になっている。ところが、極微細素子ではソースからドレインへの電流のもれ、いわゆるパンチスルー電流を減らすためにゲート寸法の微細化に応じてチャンネル層の厚みの減少も必要である。従来の歪みSOIでは、シリコンゲルマニウム層が必要なために十分にチャンネル層の厚みを減らす事が出来なかった。更に、歪みシリコンに比べて、シリコンゲルマニウム層の方が、正孔に対するエネルギーが低い。この為、P型トランジスタでは、よりパンチスルーが起こりやすいという難点もあった。

10

【0006】

【特許文献1】

特開2002-16255号公報（第4頁[0012] - 第6頁[0026]、図48、49）

【特許文献2】

特開平9-821307号公報（第2頁[0008] - [0011]、図3）

【特許文献3】

特開2000286418号公報（第5頁[0030]、図16）

【非特許文献1】

日経エレクトロニクス 2001年7月16日号、第63頁-67頁

20

【非特許文献2】

国際電子デバイス会議（IEDM）、1998年会議録第1032頁-第1034頁

【0007】

【発明が解決しようとする課題】

これまで取り組まれてきた歪みSOIトランジスタには、解決すべき難点があった。わけでも、素子の微細化に対しての諸障壁である。

【0008】

例えば、前述の公開公報、特開平9-821307号（特許文献2）に示される構造は、従来の代表的な歪みSOIトランジスタであるが、この例では、チャンネルとなるべき歪みシリコン層の下には歪みを印加させるためのシリコンゲルマニウム層が必ず必要になっている。ところが、極微細素子ではソースからドレインへの電流のもれ、いわゆるパンチスルー電流を減らすためにゲート寸法の微細化に応じてチャンネル層の厚みの減少も必要である。この例にみられるように、従来の歪みSOIでは、シリコンゲルマニウム層が必要なために、十分にチャンネル層の厚みを減らす事が出来なかった。更に、シリコンゲルマニウム層をシリコン結晶成長のために用いることに伴い、チャンネル層の厚みが厚くならざるを得ないため、別な難点も発生する。即ち、歪みシリコンに比べて、シリコンゲルマニウム層の方が、正孔に対するエネルギーが低い。この為、この例のような構造でのP型トランジスタでは、よりパンチスルーが起こりやすいという難点もあった。

30

【0009】

又、これまでの基板は特殊な張合せ法による製造工程を必要とするなど、従来のSi基板、ないしは通常のSOI基板に比べて製造コストが上昇するという難点があった。

40

【0010】

本願発明は、こうした従来技術の諸難点を解消し、高移動度且つ短ゲート長の絶縁ゲート型電界効果型トランジスタを提供するものである。又、本願発明は、容易にダブルゲート型トランジスタをも提供する。更には、本願発明は、特性の異なったトランジスタを同一の基板に容易に形成し新たな半導体装置を提供する。

【0011】

【課題を解決するための手段】

本願発明の基本骨子は、互いに対向して配置された第1及び第2の不純物領域と、これら

50

の両不純物領域の間にチャンネルとを有する歪みシリコン層と、この歪みシリコン層上の、少なくとも前記チャンネルに対応する領域にゲート絶縁膜と、当該ゲート絶縁膜上にゲート電極とを有し、且つ、前記歪みシリコン層は、前記チャンネルに対応する領域に接するシリコンゲルマニウム層を有せず且つ前記チャンネルに対応する領域以外の領域において、シリコンゲルマニウム層と接した領域を有する絶縁ゲート型電界効果型トランジスタである。

【0012】

本願発明においては、この歪みシリコン層を保持するように、歪みシリコン層の両側にシリコンゲルマニウム層が接しているような構成とする。こうした構成の歪みシリコン層に絶縁ゲート型電界効果型トランジスタのチャンネルを形成するに、当該歪みシリコン層の基板と平行な面側を用いても、基板と交差する面側を用いても構成することが出来る。いわゆる、縦型トランジスタあるいは横型トランジスタとして構成することも可能である。

【0013】

本願発明の棒状の歪みシリコン層を用いてフィン型トランジスタを構成することが出来る。この場合、棒状の歪みシリコン層を複数配置し、この棒状の歪みシリコン層の間にシリコンゲルマニウム層を残存、配置しておいても良い。

【0014】

又、前記歪みシリコン層は基板の上部に配置され、前記歪みシリコン層の少なくとも前記チャンネルに対応する面の、前記基板側の領域には空隙を存在させても良い。更には、前記歪みシリコン層の少なくとも前記チャンネルに対応する面の、前記基板側の領域には絶縁膜が存在する形態をもとり得る。

【0015】

本願発明の絶縁ゲート型電界効果型トランジスタの製造方法の例は次の通りである。

【0016】

その第一の形態は、シリコン基板の表面に酸化膜を形成する工程、その一部分をエッチングにより開口部を形成する工程、前記開口部にイオンを注入する工程、前記開口部にシリコンゲルマニウムシード結晶を成長する工程、前記開口部及び前記酸化膜の上部に非晶質シリコンゲルマニウムを堆積する工程、前記非晶質シリコンゲルマニウムを加熱しシリコンゲルマニウム結晶とする工程、前記シリコンゲルマニウム結晶の上部に歪みシリコンを堆積する工程を含むものである。

【0017】

その第二の形態は、シリコン基板の表面に酸化膜を形成する工程、その一部分をエッチングにより開口部を形成する工程、前記開口部にシリコンゲルマニウムシード結晶を成長する工程、前記シリコンゲルマニウムシード結晶の表面を酸化する工程、前記シリコンゲルマニウムシード結晶を高温熱処理する工程、前記シリコンゲルマニウムシード結晶表面の酸化膜を除去する工程、前記開口部及び前記酸化膜の上部に非晶質シリコンゲルマニウムを堆積する工程、前記非晶質シリコンゲルマニウムを加熱しシリコンゲルマニウム結晶とする工程、前記シリコンゲルマニウム結晶の上部に歪みシリコンを堆積する工程を含むものである。

【0018】

尚、更なる、諸製造方法は後述される。

【0019】

【発明の実施の形態】

具体的な実施例を述べるに先立って、本願発明の諸技術について、その詳細を説明する。

【0020】

本発明者は、下記のような諸構造ならびにその製造方法について、より簡便な方法によって、高移動度で且つ短ゲート長の絶縁ゲート型電界効果型のトランジスタが可能でないかどうか検討を重ねた。尚、これら検討に基づく諸方法の詳細は後述される。

(1) より容易に歪みシリコンチャンネルの直下にシリコンゲルマニウム層のない構造。

(2) ゲアルゲートで且つ歪みSOI構造をとる事ができる素子構造 (3) 歪みシリコンないしは歪みSOIと、通常のMOSあるいは通常のSOI-MOSトランジスタとが、

10

20

30

40

50

同一ウェハ上に共存できる素子構造。

【0021】

本願発明において用いる結晶成長用基板は、表面にシリコンゲルマニウム層が形成された歪みシリコン基板或いは歪みSOI基板が用いられる。或いは、勿論、当初通常のシリコン基板ないしは通常のSOI基板を用いて、シリコンゲルマニウム層をエピタキシャル成長により形成して結晶成長用基板を準備しても良い。更に、こうした基板は例えば次のようにして良好なものを得ることが出来る。SOI基板の上に形成されたシリコンゲルマニウム層の上部を絶縁膜で被覆し、シリコンゲルマニウム層を部分溶融状態とし、ここから絶縁層上のシリコン層にゲルマニウムを拡散させてゆくことにより固化させ、歪み緩和シリコンゲルマニウム基板を得ることが出来る。尚、この方法は、例えば、本願発明者らによって特願2001-211801号として特許出願されている。

10

【0022】

即ち、いずれの手段を用いるにせよ、シリコンゲルマニウム層上に、歪みシリコン層を形成することとなる。尚、絶縁体上へのシリコンゲルマニウム層を積層する方法についての詳細は後述する。

【0023】

こうした結晶成長用基板に歪みシリコン層を形成し、当該半導体装置の活性領域を準備するが、少なくともチャネル層の厚みを出来る限り薄くする為に、本願発明の1つの方法では、一旦、シリコンゲルマニウム層上に歪みシリコン層を形成した後、チャネル領域に対応するシリコンゲルマニウム層除去する方策を採る。即ち、チャネルが形成される部分の歪みシリコン層に接するシリコンゲルマニウム層を、選択的に除去する事によってチャネル部分の余計な厚みをなくすることが出来る。且つ、P型トランジスタでは、歪みシリコン層に接するシリコンゲルマニウム層が除去されているので、シリコンゲルマニウム層を部分的に残していた場合に、当該シリコンゲルマニウム層を流れる電流によるパンチスルーも防止できるようになる。

20

【0024】

尚、この際に、シリコンゲルマニウム層を、すべて除去するのではなく、一部を残しておく事によって、歪みシリコン層の歪みの保持やこの部分の機械的保持が可能となる。通例、歪みシリコン層の長手方向の両端部のシリコンゲルマニウム層を残存させ、歪みシリコン層の保持部となす。

30

【0025】

このような歪みシリコン層に絶縁ゲート型電界効果型トランジスタを形成する。絶縁ゲート型電界効果型トランジスタ自体の製法は通例の各種方法を用いて十分である。

【0026】

即ち、チャネル直下のシリコンゲルマニウム層を除去した状態で、チャネルを形成する歪みシリコン層の上部にゲート絶縁膜及びゲート電極を形成する。又、ゲート電極を挟んだ両側にソースおよびドレイン領域を形成して絶縁ゲート型トランジスタを製造する事が出来る。この場合、ソース・ドレイン部分に対応する領域には、シリコンゲルマニウム層を残存させておいてもよい。

【0027】

本願発明は、シングルゲート型のトランジスタのみならず、ダブルゲート構造をとる事も当然可能である。即ち、前述したようにチャネル直下のシリコンゲルマニウム層を除去した部分に、新たにゲート絶縁膜とゲート電極を形成する事によって、ダブルゲート構造をとる事が可能である。

40

【0028】

次に、ダブルゲート構造として比較的製造容易な構造は、フィン型ダブルゲートトランジスタ（略称：FinFET）と呼ばれる構造である。この形態の代表的なものは、基板主面のシリコン層をエッチングしてフィン状のチャネルとなる部分を残し、更にフィン状のチャネルに跨がるようにゲートを形成した構造である。電流は基板主面と平行でフィンの長手方向に流れることになる。各々のフィンの両側にゲートが形成されてダブルゲート構

50

造となっている。従って、ゲート長が極微細になってもパンチスルーが起こりにくい。

【0029】

本願発明に従えば、上記フィン状のシリコンに歪みを与え、高性能なトランジスタを製造する事ができる。

【0030】

シリコン層に歪みを与えるためには、シリコンゲルマニウムにシリコンを成長させる事が必要である。しかし、単純に積層したのではその後、シリコンゲルマニウム層を除去することができない。そこで、先ず、絶縁体上にシリコンゲルマニウム層が積層された基板を用意する。この一部分を、エッチングにより前記絶縁体が露出させ、次に絶縁体以外の部分にシリコンを選択的に成長させる。こうする事により、シリコンゲルマニウムの側壁に歪みシリコンを成長させる事ができる。次に、シリコンゲルマニウムを選択的に除去せれば、絶縁体上に、歪みシリコンが直方体状にあるいはフィン状に残す事が可能になる。或いは、シリコンゲルマニウム層中に歪みシリコン層を形成し、これをエッチストップ層として用いる事も出来る。この場合、表面からまず歪みシリコン層を除去してシリコンゲルマニウム層を露出させ、更に、選択的シリコンゲルマニウムエッチングによってシリコンゲルマニウムを内部の歪みシリコン層が露出するまでエッチングをする。

【0031】

上記選択的シリコンゲルマニウムエッチング方法は次の方法を採用するのが良い。ウェットエッチングでは、過酸化水素/アンモニア系の溶液、ドライエッチングでは、酸素/フッ素系のガスをそれぞれ用いる。こうする事により、シリコンゲルマニウムのエッチング速度をシリコンに比べて大きくする事で、所定の目的が達成される。尚、エッチング溶液やエッチングガスは上記目的が達成される限り、上記例示の物質に限定されるものではないことは勿論である。

【0032】

尚、シリコンゲルマニウム層は、基板全面に形成されていても、又、基板に半導体装置を形成する部分に対応して部分的に設けられていても良い。

【0033】

本願発明で開示する別の方法においては、通常のシリコン基板を用いて製造する事も可能である。以下にこの方法を簡単に説明する。

【0034】

先ず、シリコン基板の表面に酸化膜を形成し、その一部分をエッチングにより開口する。更に、開口部にイオンを注入してからシリコンゲルマニウム層を表面酸化膜以外の部分に選択的にエピタキシャル成長する。この時、膜成長領域にはイオンが注入されているのでシリコンゲルマニウムとシリコンのミスフィット歪が容易に緩和される。

【0035】

更に、全面に非晶質シリコンゲルマニウム膜を形成した後熱処理により固相結晶化される。この時、上記エピタキシャル成長したシリコンゲルマニウム層に接した非晶質シリコンゲルマニウムの方が、酸化膜上に形成されたシリコンゲルマニウムよりも早く結晶化し、しかる後に、酸化膜上で非晶質シリコンゲルマニウム膜の横方向固相結晶化が起こる。

【0036】

上記工程で、エピタキシャル成長したシリコンゲルマニウム層にはシリコン基板とのミスフィットのために欠陥が含まれており、又、酸化膜上のシリコンゲルマニウム層においても、中央部分には両側から横方向結晶成長した結晶粒がぶつかる為に結晶粒界が形成される。これら欠陥や結晶粒界はトランジスタの動作に支障を与える為、エッチングにより除去される。結果として、絶縁膜上に横方向結晶成長により形成されたシリコンゲルマニウム層のうち結晶品質の高い部分のみを島状に残す事が可能となる。又、このシリコンゲルマニウム層は前記エピタキシャル成長プロセスでシリコン基板とのミスフィット歪が緩和された部分を種として結晶成長している為、同様に歪緩和しており、この上にシリコン層をエピタキシャル成長させる際にシリコンに歪みを与える事が出来る。

【0037】

これまで示した歪みシリコン層の歪みは、トランジスタの電流が流れる方向と平行な面内において引張り方向に0%を越えて4%以下、望ましくは0%を越えて2%以下である。こうした歪みを与えるために必要なシリコンゲルマニウム層のゲルマニウム含有率は0%を超えて100%以下、望ましくは0%を越えて50%以下である。又、上記歪みを保持するために必要な歪みシリコン層の膜厚は、5nm以上100nm以下、望ましくは5nm以上50nm以下である。上限値を越えると歪みシリコン層内に転位を生じてトランジスタ特性劣化の原因となり、下限値以下ではトランジスタのチャネル（反転層）の厚みと同程度がそれ以下になるために、キャリアの散乱が増大し、やはりトランジスタ特性劣化の原因となる。

<実施の形態1>

実施の形態1は、歪みシリコンチャネル直下のシリコンゲルマニウム層を除去するに、平面構成の工夫を行った絶縁ゲート型トランジスタの製造に関するものである。

【0038】

図1より図9までは、本例の製造工程順に示した半導体素子の説明図である。図1は歪みシリコン／歪み緩和シリコンゲルマニウム基板を例示する。図1の(a)はこの基板の平面図、図1の(b)は図1の(a)での線AA'に沿う断面図である。尚、図1から図9までの各図の(a)は基板の平面図、(b)は各図の(a)での線AA'に沿う断面図、(c)は各図の(a)での線BB'に沿う断面図である。図の(c)は図5から図9の各図に示される。

【0039】

図1に示すような断面構造の歪みシリコン／歪み緩和シリコンゲルマニウム基板を用意する。尚、シリコン基板の上部に、少なくとも歪みシリコン層と歪み緩和シリコンゲルマニウム層とを有する基板のことを、「歪みシリコン／歪み緩和シリコンゲルマニウム基板」と称する。この基板は、通常のエピタキシャル成長法によって、通常シリコン基板1の上に、歪み緩和シリコンゲルマニウム層2、歪みシリコン層3、歪み緩和シリコンゲルマニウム層4、歪みシリコン層5を形成する事によって、製造する事が出来る。各層の膜厚は、例えば、歪み緩和シリコンゲルマニウム層2、歪みシリコン層3、歪み緩和シリコンゲルマニウム層4、歪みシリコン層5の順に、2000nm、10nm、50nm、20nmとした。

【0040】

歪み緩和シリコンゲルマニウム層は、例えば、モノシランガス或いはジクロロシランガス、およびゲルマンガスを原料に用いた、低圧(LP)化学気相成長法(CVD)により、形成することが出来る。その雰囲気温度は850℃程度である。そして、前記のゲルマンガスの供給を止めることによって、歪みシリコン層も連続的に成長させることが出来る。又、ジボランガスやアルシランガスなどの不純物ドーピング用のガスを適宜混合し、膜の導電型を制御できる。

【0041】

次に、図2に示されるように素子分離領域6を形成する。この方法には、通常のいわゆる浅溝素子分離(STI)の方法を用いる。即ち、通常のプロセスによりマスクを形成し、ドライエッチングにより所望の深さ(本例では800nm)まで溝を形成する。そして、この溝内に、例えば高圧プラズマCVDなどの手法により、二酸化シリコン(SiO₂)等の絶縁膜を埋込む。この後、化学機械研磨法(CMP)などにより、当該基板の平坦化処理を行う。

【0042】

更に、図3に示すように、周知の方法でゲート絶縁膜7を形成、この上部にゲート電極膜形成する。そして、このゲート電極膜を所望形状に加工しゲート電極8となす。更にゲート電極8の側壁にゲート側壁9の形成を行う。尚、本例ではゲート側壁9に窒化シリコン(Si₃N₄)を用いた。図3(a)の平面図に示されるように、ゲート電極8およびゲート側壁9は、その長手方向(即ち、長手方向は図3の(a)では、線AA'と直交する方向に相当する)の領域が、半導体装置の活性領域(即ち、活性領域は図3の(a)では、

10

20

30

40

50

ゲート絶縁膜7が示される領域に相当する)を含む領域より素子分離領域6にまたがるように形成される。

【0043】

ゲート電極8の加工後、歪みシリコン層5内にイオン注入を行い、ソース・ドレインエクステンションを形成する。なお、イオン種を変える事により、nチャネル、Pチャネルトランジスタが形成できることは周知の通りである。しかる後に、ゲート側壁9の膜を形成するのである。

【0044】

次に、図4に示されるように、ゲート側壁9の外側に第2のゲート側壁10を形成した。本例では、TEOSガスを原料に用いたプラズマCVDで形成した二酸化シリコン(SiO_2)を用いた。第2のゲート側壁10の厚さは50nmとした。

10

【0045】

更に、図5の(b)、(c)に示すように第2のゲート側壁10をマスクとして、上部の歪みシリコン層5及びシリコンゲルマニウム層4の一部をエッチングする。

【0046】

次に、図6に示すようにシリコンゲルマニウム層4のみを選択的にエッチングする。エッチング溶液にはアンモニア、過酸化水素、水を1:5:50の比率で混合したエッチング液を用いた。シリコンゲルマニウムが歪みシリコンに比べて高速にエッチングされる為に、図のようにシリコンゲルマニウムのあった部分が完全に除去されて空隙100が出来る。尚、図5(c)のB-B'断面図に示されるように、上部歪みシリコン層5、ゲート絶縁膜7、ゲート電極8、ゲート側壁9および10は両端が素子分離領域6で保持されている。

20

【0047】

又、ゲート長が0.3ミクロン以下の素子では、図6のようにゲート電極下のシリコンゲルマニウム層が完全に除去されたが、これよりゲートの長い素子ではゲートの中央部分の下部のシリコンゲルマニウム層が一部残る状態になった(この状態の図示の例示はない)。このような状態になっても、ソース及びドレインに近い部分の歪みシリコンチャネル層下のシリコンゲルマニウムが除去されている為に、シリコンゲルマニウム層にキャリアが流れる寄生チャネルの問題は生じない。そもそもゲート長が長い為に短チャネル効果の問題も生じない。

30

【0048】

次に、図7に示すように、埋込み酸化膜11が空隙部分に堆積される。埋込み酸化膜11の厚みは30nmとし、ゲート側壁10と同様な方法で形成した。

【0049】

次に、図8に示すように、埋込み酸化膜11をドライエッチングする。ドライエッチングであるため、ゲート電極8下部の酸化膜11はエッチングされずに残される。また、断面図に示されるように素子分離領域6の絶縁膜も一部がエッチングされる。

【0050】

次に、図9に示すように、ソース及びドレイン領域12にCVD法により、厚さ30nmのシリコン膜が堆積される。膜の堆積後、ソース・ドレイン領域12に不純物がイオン注入される。イオン注入法によれば、P型、n型領域に異なる不純物を注入する事が出来て、CMOS回路が容易に形成できることは周知の通りである。また、膜のCVD成長時にドーピングガスを混合して、ソース及びドレインに不純物ドーピングを行っても良い。

40

【0051】

尚、本実施の形態の構造では、ソース及びドレインは通常のパルク基板上に形成されており、チャネル部分のみがSOI構造になっている。このため、容易にソース及びドレインと基板の電氣的接触をとることが出来る為、SOIトランジスタ特有の基板浮遊効果は生じない。

【0052】

以後、当業者には周知のCMOS製造プロセスにより、層間絶縁膜形成、コンタクトホー

50

ル形成、配線形成の各プロセスを繰返してトランジスタ集積回路が完成する。

<実施の形態 2>

実施の形態 2 は、実施の形態 1 の基板を、S O I 基板を使用するように変更したものである。

【0053】

基板には図 10 の断面図に示すような、シリコン基板 1、埋込み絶縁膜 13、歪み緩和シリコンゲルマニウム層 4、歪みシリコン層 5 の順に積層された構造である。尚、シリコン基板 1 は上部の膜を支持するだけの目的であり、シリコン以外にも例えば石英、無機酸化物セラミックス等々であっても構わない。

【0054】

基板を変更しても、その他の製造工程は、実施の形態 1 と同様に行う事が可能である。尚、実施の形態 1 の図 6 に示したシリコンゲルマニウム膜 4 のエッチングは埋込み絶縁膜 13 でストップする。シリコンゲルマニウムと酸化膜のエッチング選択性の方が、シリコンゲルマニウムとシリコンのそれに比べて良好なため、エッチング選択性に関する条件は実施の形態 1 に比べて緩和される。又、実施の形態 1 の図 8 に示した酸化膜エッチングは、エッチング量を制御して埋込み絶縁膜 13 が除去されない状態にすれば良い。実施の形態 1 の図 9 に対応するソース・ドレイン形成後の状態が、図 11 である。尚、図 11 (a) は平面図、図 11 (b) は図 11 (a) の A A' 線に沿う断面図、図 11 (c) は図 11 (a) の B B' 線に沿う断面図である。

<実施の形態 3>

実施の形態 3 は、フィン型構造の歪みシリコンチャネルをもつトランジスタに関するものである。

【0055】

図 12 は本例の基板の断面図、図 13 より図 14、図 19 より図 29 は本例の製造工程中の素子の説明図で、各々 (a) は平面図、(b) は図 (a) での A A' 線に沿う断面図、(c) は図 (a) での B B' 線に沿う断面図である。図 24 及び図 28 は製造工程中の装置の斜視図である。

【0056】

図 15 から図 18 は歪みシリコン層の特徴の説明のための図面である。図 15 及び図 16 は S i G e 4 に歪みシリコン層 5 を成長させた場合の引っ張り歪みの方向を例示した断面図、図 17 及び図 18 はフィン型シリコン層を成長させる基板の面方位とフィン型シリコン層の長手方向との関係を例示する斜視図である。

【0057】

図 12 に示すような構造の絶縁膜上の歪み緩和シリコンゲルマニウム基板（以下、この基板を S G O I 基板と略記する）を用意する。その構成例は、支持基板 1' の上部に 100 nm の埋込み絶縁膜 13、100 nm の歪み緩和シリコンゲルマニウム層 4、10 nm の表面酸化膜層 14 の順に積層されている。本実施例では、支持基板 1' はシリコン基板 1 であるが、この支持基板はシリコンに限らない。

【0058】

図 13 に示すように、ドライエッチングにより歪み緩和シリコンゲルマニウム層 4 と表面酸化膜層 14 からなる島状領域 110 を形成する。このとき、島状領域 110 の内部にも穴 111 を開口する。エッチングは埋込み絶縁膜 13 に達したところで停止させる。

【0059】

次に、図 14 に示すように、厚さ 20 nm の歪みシリコン層 5 を選択エピタキシャル成長する。低圧 C V D 法によれば、シリコンゲルマニウム層 4 の側面のみにシリコンを成長させることが可能である。

【0060】

ここで、シリコン層にかかる歪みの方向に関して、図 15 及び図 16 の断面図を用いて説明する。

【0061】

10

20

30

40

図15は歪み緩和シリコンゲルマニウム膜4の主面に歪みシリコン層5を成長させた場合の断面図を示している。尚、図15、図16では埋め込み絶縁膜13以上の各層のみを示している。図の格子状の線は結晶格子を模式的に表したものである。シリコンゲルマニウムの方がシリコンより結晶格子寸法が大きいという理由で格子ミスマッチが発生する。この為、成長したシリコン層5は主面内で結晶格子の寸法を合わせるように成長する。この為、歪みシリコン層5の結晶格子は図示するように主面内で（××方向に）広がり、厚さ方向に（z方向に）縮むように変形する。これがいわゆる歪みシリコンの歪みの状態である。このとき、主面内（××面内）を流れるキャリアの移動度が歪みにより増大することは良く知られている。

【0062】

これに対して、本実施の形態に対応する図16の場合には、シリコン層5は側面に成長する。このため、歪みシリコン層5の結晶格子は、膜厚方向（z方向）と紙面に垂直な方向に沿って広がり、側面に垂直な膜成長方向に沿って縮むことになる。後述するようにトランジスタのチャネルを流れる電流は、引張り歪みを受ける紙面に垂直な方向と平行であるため、チャネルを流れるキャリアの移動度は歪みによって増大する。尚、図16の各層は図14のそれと同様で、埋め込み絶縁膜13以上の各層のみを示している。

【0063】

又、基板の面方位とフィンの方向は以下に示すように選択することが出来る。まず、通常良く用いられる（100）基板の場合は、図17に示すようにフィン形状の長手方向を<100>方向と平行にする場合（シリコン層A）と、<110>方向と平行にする場合（シリコン層B）の2通りが実現できる。図17には（100）面に単独のフィン型のシリコン層A、Bのみが例示されている。前者のシリコン層Aが、歪みシリコンの歪みが<100>方向（<110>方向といってもよい、どちらも同様、即ち両方向は等価な方向である）に等方的に印加され、且つチャネルを流れるキャリアの方向は<100>となる。この為、本例では歪みシリコンによる移動度上昇の効果を十分に享受することが出来る。

【0064】

これに対し、後者のシリコン層B、即ち、<110>方向にフィンを形成した場合には、歪みシリコンが<110>方向と<001>方向の両方に異方的に引張り歪みを受けることになる。従って、前者のような本来の移動度上昇の効果は得られない。しかし、一方、同じ条件でトランジスタを製造した場合にしきい値電圧が変化する為、両方の素子を同時に作り込むことによって異なるしきい値電圧の素子を容易に混載できる。この為、本構成は、例えば一方を高性能型素子、他方を低電力型素子とするような回路設計上の利点が多い。

【0065】

基板の面方位を（110）とした場合には、図18に示すようにフィンの長手方向を<110>方向と平行にする場合（シリコン層A）と、<001>方向と平行にする場合（シリコン層B）の2通りが実現できる。尚、図18には（110）面に単独のフィン型のシリコン層A、Bのみが例示されている。

【0066】

前者の場合は、歪みシリコンの歪みが<100>方向（<110>方向といってもよい、どちらも同様）に等方的に印加され、且つチャネルを流れるキャリアの方向は<110>となる。この為、本例では歪みシリコンによる移動度上昇の効果を十分に享受することが出来る。

【0067】

これに対し、後者の<001>方向にフィンを形成した場合には、歪みシリコンが<110>方向と<001>方向の両方に異方的に引張り歪みを受けることになる。この為、本例では、前者のような本来の移動度上昇の効果は得られない。しかし、同じ条件でトランジスタを製造した場合にしきい値電圧が変化する為、両方の素子を同時に作り込むことによって異なるしきい値電圧の素子を容易に混載できる。この為、本例では、例えば一方

10

20

30

40

50

を高性能型素子、他方を低電力型素子とするような回路設計上の利点が多い。

【0068】

尚、装置の要求特性、装置構造などによっても異なるが、通例、上述の選択する面指数及びフィンの長手方向の指数は、概ね±5度程度の範囲が許容される。

【0069】

次いで、製造工程に戻って、歪みシリコン層5が形成されて後の工程を説明する。

【0070】

図19に示すように、次の工程で除去するSiGe層の領域を、部分的にレジストマスク15を形成し、表面酸化膜層14を剥離する。更に、図20に示すように、レジストマスク15を剥離した後、実施の形態1と同様の方法で、シリコンゲルマニウム層4を選択的にエッチングする。この場合、表面酸化膜層14で覆われている部分のシリコンゲルマニウム層4は除去されない。

10

【0071】

この工程で、図20の(b)に例示されるように、歪みシリコン層5がフィン状に残される。この時、フィンが倒れることなく支持されていることについて、図21より図24の各図を用いて説明する。各断面図は、図6と同様に、埋込み絶縁層13より上部の各層が示される。各図の左側は歪みシリコン層5の成長前の状態、右側は歪みシリコン層5の成長後或いはその後ドライエッチした状態を示す断面図である。

【0072】

図21は図16と同様の断面図である。歪み緩和シリコンゲルマニウム層4のフィンに(図21の左側)、歪みシリコン5が均一に成長すれば、歪みシリコン5のフィンは埋込み絶縁層13に接する形となる。従って、フィンは倒れることなく保持される。図21の右側がこの状態である。

20

【0073】

ところが、CVDによる選択エピタキシャル成長ではファセット成長が良く起こる。この場合、図22の右側に示すように、歪みシリコン5のフィンは埋込み絶縁層13から離れる場合も起こる。

【0074】

図18に示したドライエッチング工程では、しばしば、埋込み絶縁層13に達するオーバーエッチングが生じる。このため、図23の右側に示すように、やはり歪みシリコン層5が埋込み絶縁層13から離れてしまう。しかしながら、このように歪みシリコン層5が埋込み絶縁層13と離れた状態になっても、例えば、フィンの長手方向の両端部において歪みシリコン層5がシリコンゲルマニウム層4に接している為に、いわばブリッジ状となってフィンが保持されることになる。

30

【0075】

オーバーエッチングにより浮き上がった場合の様子を図24に示す。図24は埋込み絶縁層13上にフィン状の歪みシリコン層5が形成された状態を示す斜視図である。そして、この例では、フィン状の歪みシリコン層5を残してシリコンゲルマニウム層が除去され、且つオーバーエッチングの為、当該歪みシリコンと埋込み絶縁層13との間に空隙30が形成されている。しかし、この場合、フィン状の歪みシリコン層5は、その長手方向の両端部でシリコンゲルマニウム層4によって支えられ、保持されている。尚、通例、当該シリコンゲルマニウム層4はフィン状の歪みシリコン層5より幅広く形成されている。

40

【0076】

さて、製造工程の説明に戻る。図20の状態から両端部の表面酸化膜層14をドライエッチングにより除去して、図25の状態となる。次に、図26に示すように、シリコンゲルマニウム層4の露出部分をなくす為に薄く(5nm)キャップシリコン層16を堆積する。理由は、次のゲート酸化工程において、もしシリコンゲルマニウムが露出した状態で酸化させた場合には、ゲート絶縁膜界面の準位が高くなりトランジスタ特性の劣化が生じる為である。

【0077】

50

周知の方法であるため、図示しないが、次に、ゲート絶縁膜7の形成、及びゲート電極膜の形成を行なう。更に、ドライエッチングによりゲート電極8を所望形状に加工する。この状態が、図27である。フィン2本の場合のチャネルとゲートの配置を、分かりやすくするために図28を示す。埋込み絶縁層13上にフィン状の歪みシリコン層5が形成される。このフィン状の歪みシリコン層5はその両端部でシリコンゲルマニウム層4で支えられている。このフィン状の歪みシリコン層5及びこれを覆うゲート絶縁膜7に跨ってゲート電極8が配置されている。このようにゲート電極がフィン型歪みシリコン層5に跨っている様子が分かる。こうして、フィン型歪みシリコン層5の両側にチャネルを構成することが可能であり、ダブルゲート構造の絶縁ゲート型電界効果型トランジスタの基本構造が構成される。この例で、側面のみがチャネルとなす形態、フィン構造の上面にもチャネルが構成される形態がある。フィン構造の上面にもチャネルが構成される形態は出力電流の増大の利点がある。

10

【0078】

更に、通常実施される方法により、ソース・ドレインエクステンション領域への不純物イオン注入を行い、図29に示すようにゲート側壁9を形成する。更に、周知の方法で、ソース及びドレイン領域12に不純物がイオン注入される。こうして、ゲート及びゲート側壁9の両側にソース、ドレインが形成される。

【0079】

更に、層間絶縁膜形成、コンタクトホール形成、配線形成の、半導体装置の製造工程では、通例の各プロセスを繰返してトランジスタ集積回路が完成する。

20

<実施の形態4>

本実施の形態4は、実施の形態3と同様に、フィン型の歪みシリコンチャネルをもつトランジスタの製造に関する。但し、実施の形態3とは異なり、チャネル層の下部にシリコンゲルマニウム層を有する例である。

【0080】

本例では、実施の形態3の図20に示す工程で、シリコンゲルマニウム層4の選択エッチングは行わない。実際にはこの工程でマスクによりエッチングしない領域を作ってやれば、その部分に本実施の形態の素子が作られ、それ以外の部分には実施の形態3の素子が作られる。また、他の工程は全く同様であるため、説明は省略する。

30

【0081】

実施の形態3では一つのシリコンゲルマニウム層4のフィンに対してその両側に2本の歪みシリコン層5のフィンが形成される。しかも歪みシリコン層5のフィンの両面にゲートが形成される為、一つのシリコンゲルマニウム層4を用いて形成した二つのフィンに対して都合4つのチャネルが形成された。

【0082】

これに対し、本実施の形態においては、シリコンゲルマニウム層4が残される為、シリコンゲルマニウム層4の両側に歪みシリコン層5が形成される。さらに、歪みシリコン層ーシリコンゲルマニウム層ー歪みシリコン層の三つの層を覆ってゲート電極が形成される。チャネルはシリコンゲルマニウム層の両側の歪みシリコン層の外側のみに形成される。従って、実施の形態3の形態と比較して、本例のチャネルの数は半減する。

40

【0083】

従って、実施の形態3と比較して、トランジスタの電流駆動能力の点では不利である。又、シリコンゲルマニウム層をチャネル近傍に含むことにより短チャネル特性は劣る。しかし、本実施の形態は主として、ゲート長が0.8ミクロン以上の長い領域に用いることを目的とすれば、この場合にはこれらのデメリットは問題にならない。ゲート長が短く高性能が要求される素子に実施の形態3の素子、ゲート長が長く高性能が要求されない素子に本実施の形態の素子と同じプロセスで作りわけることが出来る。従って、本例は、これらの素子を同一チップ上に形成することが出来る利点を生み出す。

<実施の形態5>

本例は、基板に、あらかじめ島状に歪み緩和シリコンゲルマニウム層4と表面酸化膜層1

50

4が形成された基板を用いる例である。そして、フィン型構造を有する例である。

【0084】

前記実施の形態3では、全面に歪み緩和シリコンゲルマニウム層4と表面酸化膜層14が形成された基板を用いたが、本例はこの基板の選択を異にする。この基板の断面図を図30に示す。基板の各層の厚みは前記実施の形態3と同様である。図中の符号はこれまでの図と同様である。

【0085】

実施の形態3との違いは、島状領域120の端面にも表面酸化膜層14が形成されている点である。この為、図31に示すように、図13と同様のドライエッチング工程において、島状領域120の端部もエッチングしてやれば、以後、実施の形態3あるいは4と全く同様に素子を製造することが出来る。尚、図31(a)は装置の平面図、図31(b)は図31(a)のAA'線に沿う断面図、図31(c)は図31(a)のBB'線に沿う断面図である。

＜実施の形態6＞

実施の形態6は、前記実施の形態2より実施の形態5の各実施の形態を実施するに当って、用いる基板の別なる製造方法を示すものである。図32の(a)は基板の平面図、図32(b)は図32(a)のAA'線に沿う断面図、図32(c)は図32(a)のBB'線に沿う断面図である。図33より図42は本例の製造工程を示す装置の断面図である。

【0086】

通常のシリコン基板1の表面に厚さ150nmの酸化膜13（これが埋込み絶縁膜13になる）を形成する。そして、レジストマスクを用いたドライエッチングにより、図32に示すように酸化膜を開口121を形成する。図32(a)は平面図、(b)は図32(a)のAA'線に沿う断面図、図32(c)は図32(a)のBB'線に沿う断面図である。

【0087】

次に、図33に示すように、開口部25よりイオン注入26を行う。尚、図にはレジストマスクが書かれていないが、前記ドライエッチング工程に引き続き、レジストマスクを付けたままイオン注入を行って良い。本実施の形態では、注入するイオンはゲルマニウムとしたが、他にも導電型を制御することも兼用してリン、ヒ素、アンチモン、ホウ素などを用いても良いし、アルゴン或いは水素あるいは酸素を注入しても良い。又、注入深さは本実施の形態では100nmとした。但し、注入深さに特に制約はない。以上のごとく、注入損傷領域17が形成される。

【0088】

次に、通常の方法でレジストマスクを除去し基板表面を洗浄した後、図34に示すように歪み緩和シリコンゲルマニウムシード層18を選択エピタキシャル成長する。歪み緩和シリコンゲルマニウムシード層18の選択成長は、ジクロルシランガスとゲルマニウムガスを原料に用いたCVD法を用いて行った。注入損傷領域17がある為に、選択成長が維持される膜厚（本実施の形態では100nmとした）でも十分にシリコン基板1とのミスフィット歪みが緩和される。

【0089】

次に、図35に示すように、全面に非晶質シリコンゲルマニウム膜19を堆積する。ジシランガスとゲルマニウムガスを原料に用いたプラズマ励起CVD法を用いて、基板温度350℃の比較的低温で非晶質膜を成長した。その後、基板を不活性ガス雰囲気中650℃で20分熱処理し、上記非晶質シリコンゲルマニウム膜19を固相結晶化させる。この時、注入損傷領域17の上部のシリコンゲルマニウム膜には欠陥が含まれ、又、固相結晶化はこの注入損傷領域の上部から先に始まり、絶縁膜13上の部分は横方向に結晶成長が進行してゆく。この為、両側から進行した結晶化が丁度中間部分で会合することになり、この部分で粒界が形成される。図36に上記欠陥・粒界部分20を図示する。上記欠陥・粒界部分20以外の絶縁膜13上の部分は単結晶で良好な結晶品質の歪み緩和シリコンゲルマニウム層4になっている。

【0090】

その後、図37に示すように基板全面にCVD法により厚さ10nmの表面酸化膜14を形成する。さらに、図38に示すようにマスク21を形成し、図39に示すように欠陥或いは粒界部分20および注入損傷領域17を含む領域の表面酸化膜14、歪み緩和シリコンゲルマニウム層4、歪み緩和シリコンゲルマニウムシード層18、注入損傷領域17がドライエッチングにより除去される。

【0091】

マスクを除去すれば、図40に示すようにシリコン基板1上に島状の埋込み絶縁膜13、歪み緩和シリコンゲルマニウム層4、表面酸化膜層14の積層構造が出来上がる。

【0092】

更に、前記ドライエッチングにより除去された領域に、例えば、高圧プラズマCVD法などの手法により、二酸化シリコン(SiO_2)等の絶縁膜6を埋込んだ後、化学機械研磨法(CMP)などにより平坦化処理を行なう。こうして、図41に示すように、浅溝素子分離(STI)を形成した状態となる。更に、歪み緩和シリコンゲルマニウム層4上の表面酸化膜層14を剥離して、この部分に歪みシリコン層5を選択エッチ成長することにより、図42に示す構造になる。この状態は丁度図2に示す状態の相当する。但し、実施の形態2と同様に、歪みシリコン層8の部分が埋込み絶縁膜13に置き換っており、第1の歪み緩和シリコンゲルマニウム層2がない構造になっている。

【0093】

以後のプロセスは、実施の形態2と全く同様にして同じ素子を製造することが出来る。つまり、本例によれば、図10に示すようないわゆるSGOI基板を用いることなく通常のシリコン基板を用いて同様の素子を製造することが出来る。

【0094】

又、前記図40に示した状態から、フィン型の素子を製造することも可能である。図43から図45はこうした変形例を示す図である。

図43は図40に相当する断面図、図44、図45は、1つの基板に形成された各トランジスタ部の細部を説明する為の図である。

【0095】

図44(a)は図43に対応する平面図で、図44の線AA'に沿った断面が図43である。図44の(b)は図44(a)の線BB'に沿った断面図である。図44(a)に見られる島状の部分130に、実施の形態3の図13と同様に島状の部分130内部に穴(131、132、133、134、135、136)を開く。図43の一つの島の部分を拡大して図44に示す。前記開口部のうち一つだけ寸法が大きくなっている部分131があるが、この部分にはT字型をしたゲート電極8のコンタクト形成領域が形成される。図45に示すようにゲート電極8が配置される。これによってゲート電極8とシリコン基板1との絶縁性が埋込み酸化膜13により保たれる。これ以降のプロセスは実施の形態3或いは実施の形態4と全く同様に行うことが出来る。やはり図10に示すような、いわゆるSGOI基板を用いることなく通常のシリコン基板を用いて同様の素子を製造することが出来るという利点がある。

<実施の形態7>

実施の形態7は、前記実施の形態6に関して、一部異なる製造方法を示すものである。本例は、実施の形態6における図33に示すような開口部へのイオン注入を行わず、図34に示すシリコンゲルマニウムシード層18を形成する。そして、シリコンゲルマニウムシード層に高温アニールを施す。

【0096】

本例では、図32に示すように酸化膜を開くプロセスまでは実施の形態6と同様である。次に、図33に示すような開口部へのイオン注入を行わず、図34に示すシリコンゲルマニウムシード層18を形成する。その後、表面をごくわずか(5nm)酸化し、極微量の酸素(100ppm)を含む不活性雰囲気中、1000℃より1200℃で短時間(数分間)熱処理を行う。この工程により、注入損傷領域17がなくともシリコンゲルマニ

10

20

30

40

50

ウムシード層 18 の歪みが十分に緩和される。更に、シリコンゲルマニウムシード層 18 の上部の酸化膜を剥離してやれば、図 35 に示す非晶質シリコンゲルマニウム層 19 の形成以降のプロセスは、前記実施の形態 6 と全く同様に行うことが出来る。

<実施の形態 8>

実施の形態 8 は、前記実施の形態 3 に示したフィン型歪みシリコン素子と通常の SGOI 上歪みシリコン素子を同一チップ上に搭載する例である。

【0097】

前記実施の形態と同様に図 12 に示す基板を用い、図 13 に示すようにドライエッチングにより島状領域を残す。この時、通常の SGOI 上に歪みシリコン素子を形成する領域では、完全に島状領域を残しておき、周辺の素子分離領域の部分は埋込み絶縁膜 13 が露出するまでエッチングする。

10

【0098】

その後、図 14 に示す歪みシリコン層 5 の選択エッチ成長を行う前に、通常の SGOI 上歪みシリコン素子の活性領域の表面酸化膜層 14 を剥離する。これにより、図 46 に示すように島状領域の中央部に歪みシリコン層 5 が形成させることが可能となる。更に、前記図 19 より図 25 に至る工程では、通常の SGOI 上歪みシリコン素子の形成領域はマスクにより覆われる。その後、図 26 に示す工程以降は、実施の形態 3 或いは実施の形態 4 と共通の工程を実施できる。但し、ゲート電極 8 の絶縁性確保、寄生トランジスタの防止のため、ゲート電極は上記の島状領域の上に形成することとし、島状領域の端部とその外側の埋込み絶縁膜 13 までには達しないようにする。以上の工程により、高速短チャネル化が容易なフィン型トランジスタと、リーク電流の小さい平面型素子を混載することができ

20

<実施の形態 9>

本実施の形態は、歪みシリコンでも、SGOI でもない通常の絶縁ゲート型電界効果型シリコントランジスタ（以後、通常トランジスタと略記）と、前記実施の形態 2 ないしは実施の形態 3 のトランジスタを同一チップ内に搭載する方法を例示するものである。

【0099】

製造方法は、前記実施の形態 6 に準拠する。通常トランジスタを形成する領域と前記実施の形態 2 ないしは実施の形態 3 のトランジスタのチャネルの高さをそろえる為に、まず通常トランジスタ以外の領域のシリコン基板 1 を高さの差の分だけドライエッチングで削り込む。

30

【0100】

しかる後に、図 32 に示すと同様に酸化膜を形成し、開口する。この状態の断面図を図 47 に示す。尚、図には基板の凹凸と埋め込み用の絶縁膜のみを示している。基板 1 の厚さの厚い領域 140 が通常トランジスタが形成される領域、基板 1 の厚さの薄い領域 141 が歪みシリコンを用いたトランジスタが形成される領域である。以後、前記図 33 より図 37 までの工程は全く同様に行われる。すると、通常トランジスタ形成領域の酸化膜 13 上には多結晶シリコンゲルマニウム膜 21 と表面酸化膜 14 が形成される。

【0101】

その後、実施の形態 2 の素子と混載する場合には、図 41 に示すような STI 形成工程を経る。この時、通常トランジスタの部分においては、上記多結晶シリコンゲルマニウム膜 21 と表面酸化膜 14 をドライエッチングで除去し、実施の形態 2 の素子と同時に STI を形成する。この時、前記したような段差が適性であれば、図 48 に示すようになる。その後、図 42 に示すシリコンの選択エッチタキシャル成長工程が行われる。そして、ゲート電極の加工が行なわれる。この工程は、例えば図 3 と同様である。更に、図 4 に例示されるような第 2 の側壁用の酸化膜 10 を堆積する。この後、通常トランジスタを形成する部分については、側壁エッチングを行わず、素子部分全体が酸化膜で保護された状態にして、図 8 に例示されるような酸化膜のエッチングを行なう。ここで、通常トランジスタを形成する部分においても、独立に（マスクにより分割して）エッチングを行い、ゲート電極の側壁を残し、ソース・ドレインを形成する部分についてはシリコン基板 1 を露出するよ

40

50

うにする。更に、ソース及びドレインを形成する。図49が、こうして製造した歪みSOI基板を用いたトランジスタと通常のトランジスタとを混載した例の断面図である。尚、図49において、符号1はシリコン基板、13は埋め込み絶縁膜、6は素子分離領域、11は埋め込み酸化膜、12はソース領域或いはドレイン領域、5は歪みシリコン層、7はゲート絶縁膜、8はゲート電極、9はゲート側壁絶縁膜である。

【0102】

以後の工程は、通常の方法を用いて、同一のチップ上に通常トランジスタと、平面状の歪みSOIトランジスタを完成する。

【0103】

平面型歪みSOIトランジスタと通常トランジスタの組合せだけでなく、フィン型歪みシリコントランジスタと通常トランジスタの組合せについても、同様に製造することが出来る。即ち、図47に示したように、両トランジスタの高さを揃える加工を施した後に、実施の形態3に示した工程を経て、同一チップ上にこれらのトランジスタを製造することが出来る。但し、前述の工程に即して述べるなら、通常トランジスタの領域は酸化膜ないしはマスクで被覆して加工せずに置くことである。

【0104】

以上、実施の諸形態の説明から理解されるように、本願発明によれば、通常のシリコンに比べて移動度の大きな歪みシリコンをチャンネルに用いたトランジスタを、従来の例より短いゲート長で製造することが出来る為、半導体装置の高性能化と低消費電力化を図ることが出来る。更に、SOI型の歪みシリコン素子と通常のシリコン絶縁ゲート型トランジスタを同一のチップ上に製造することが出来るため半導体装置の高機能化を図ることが出来る。

【0105】

以下に、本願発明は多岐にわたるので、発明の諸形態を整理し列挙する。

(1) シリコンゲルマニウム層に歪みシリコン層が接した構造を有し、前記歪みシリコン層の一部に接する前記シリコンゲルマニウム層が除去されており、且つ前記歪みシリコン層に接してゲート絶縁膜とゲート電極が形成されており、前記ゲート電極を挟んだ両側にソースおよびドレイン電極が形成されており、前記歪みシリコン層にチャンネルが形成されていることを特徴とする絶縁ゲート型電界効果型トランジスタ。

(2) 前記ソースおよびドレイン電極に、シリコンゲルマニウムが含まれることを特徴とする、前項(1)に記載の絶縁ゲート型電界効果型トランジスタ。

(3) 支持基板上にエッチストップ層、シリコンゲルマニウム層、歪みシリコン層の順に積層された構造体の主面上にゲート絶縁膜及びゲート電極が形成されており、前記ゲート電極を挟んだ一方ないしは両方の歪みシリコン層を開口し、シリコンゲルマニウム層をエッチングにより除去することを特徴とする前項(1)に記載の絶縁ゲート型電界効果型トランジスタ。

(4) 前記エッチストップ層が、シリコンであることを特徴とする前項(3)に記載の絶縁ゲート型電界効果型トランジスタ。

(5) 前記エッチストップ層が、2酸化シリコン、ないしは窒化シリコン、あるいはそれらの混合層であることを特徴とする前項(3)に記載の絶縁ゲート型電界効果型トランジスタ。

(6) 前記シリコンゲルマニウム層のエッチングにより除去された部分に絶縁膜を埋込むことを特徴とする前項(1)或いは(3)に記載の絶縁ゲート型電界効果型トランジスタ。

(7) 前記ゲート電極の下部の前記歪みシリコン層の下部にある前記シリコンゲルマニウム層の全部が除去されていることを特徴とする前項(1)或いは(3)に記載の絶縁ゲート型電界効果型トランジスタ。

(8) 前記ゲート電極の下部の前記歪みシリコン層の下部にある前記シリコンゲルマニウム層の一部が除去されていることを特徴とする前項(1)或いは(3)に記載の絶縁ゲート型電界効果型トランジスタ。

10

20

30

40

50

(9) 前記シリコンゲルマニウム層の全部が除去されていることを特徴とする前項(7)に記載の絶縁ゲート型電界効果型トランジスタと、前記シリコンゲルマニウム層の一部が除去されていることを特徴とする前項(8)に記載の絶縁ゲート型電界効果型トランジスタが同一支持基板上に形成されていることを特徴とする半導体装置。

(10) 支持基板上に棒状の歪みシリコンが形成されており、前記棒状の歪みシリコンの長手方向に対して垂直な方向に跨ぐようにゲート絶縁層、ゲート電極が形成されており、前記棒状の歪みシリコンの長手方向に沿ってゲート電極の両側の部分にソース及びドレインが形成されており、前記棒状の歪みシリコンのゲート電極にまたがれた部分に長手方向にチャンネルが形成されていることを特徴とする絶縁ゲート型電界効果型トランジスタ。

(11) 前記棒状の歪みシリコンの長手方向に沿う絶縁体層と垂直な両面にゲート電極が形成されていることを特徴とする前項(10)に記載の絶縁ゲート型電界効果型トランジスタ。

(12) 該棒状の歪みシリコンの長手方向に沿ってみたときの両端にシリコンゲルマニウムが接していることを特徴とする前項(10)に記載の絶縁ゲート型電界効果型トランジスタ。

(13) 前記ソースとドレインの一组に対して、複数の前記棒状の歪みシリコンが接触しており、複数のチャンネルが接続されていることを特徴とする前項(10)に記載の絶縁ゲート型トランジスタ。

(14) 支持基板の上に棒状のシリコンゲルマニウムが形成され、該棒状のシリコンゲルマニウムの両端部はこれより幅の広いシリコンゲルマニウムにより支持されており、前記棒状のシリコンゲルマニウムの表面に歪みシリコン層が形成され、さらに前記歪みシリコンに接するシリコンゲルマニウムの一部が除去されることによって、棒状の歪みシリコンが形成され、前記棒状の歪みシリコンの両端部には前記シリコンゲルマニウム支持部が接している構造を有することを特徴とする前項(10)に記載の絶縁ゲート型電界効果型トランジスタ。

(15) 支持基板の上に棒状のシリコンゲルマニウムが形成され、前記棒状のシリコンゲルマニウムの両端部はこれより幅の広いシリコンゲルマニウムにより支持されており、前記棒状のシリコンゲルマニウムの表面に歪みシリコン層が形成され、前記棒状の歪みシリコンおよびこれらに挟まれた前記棒状のシリコンゲルマニウムをその長手方向に対して垂直な方向に跨ぐようにゲート絶縁層、ゲート電極が形成されており、前記棒状の歪みシリコンおよびこれらに挟まれた前記棒状のシリコンゲルマニウムの長手方向に沿ってゲート電極の両側の部分にソース及びドレインが形成されており、前記棒状の歪みシリコンのゲート電極にまたがれた部分に長手方向にチャンネルが形成されていることを特徴とする絶縁ゲート型電界効果型トランジスタ。

(16) 前記棒状の歪みシリコンおよびこれらに挟まれた前記棒状のシリコンゲルマニウムの長手方向に沿う絶縁体層と垂直な両面にゲート電極が形成されていることを特徴とする前記請求項15に記載の絶縁ゲート型電界効果型トランジスタ。

(17) 前記ソースとドレインの一组に対して、複数の前記棒状の歪みシリコンおよびこれらに挟まれた前記棒状のシリコンゲルマニウムが接触しており、複数のチャンネルが接続されていることを特徴とする前項15に記載の絶縁ゲート型電界効果型トランジスタ。

(18) 前記チャンネルが形成される部分の棒状の歪みシリコンにシリコンゲルマニウムが接していない前項(10)に記載の絶縁ゲート型電界効果型トランジスタと、前記チャンネルが形成される部分が棒状の歪みシリコンとこれに挟まれた棒状のシリコンゲルマニウムからなる前記(15)に記載の絶縁ゲート型電界効果型トランジスタとが、同一の支持基板上に形成されていることを特徴とする半導体装置。

(19) 支持基板が面方位(100)のシリコン基板であり、前記棒状の歪みシリコンの長手方向が前記支持基板の<100>方向と略平行であることを特徴とする、前記(10)或いは(15)に記載の絶縁ゲート型電界効果型トランジスタ。

(20) 支持基板が面方位(100)のシリコン基板であり、前記棒状の歪みシリコンの長手方向が前記支持基板の<110>方向と略平行であることを特徴とする、前記(10)

10

20

30

40

50

) 或いは(15)に記載の絶縁ゲート型電界効果型トランジスタ。

(21) 前項(19)に記載の<100>方向の棒状の歪みシリコンと前項(20)に記載の<110>方向の棒状の歪みシリコンが、同一の支持基板上に形成されていることを特徴とする絶縁ゲート型電界効果型トランジスタ。

(22) 支持基板が面方位(110)のシリコン基板であり、前記棒状の歪みシリコンの長手方向が前記支持基板の<110>方向と略平行であることを特徴とする、前項(10) 10
) 或いは(15)に記載の絶縁ゲート型電界効果型トランジスタ。

(23) 支持基板が面方位(110)のシリコン基板であり、前記棒状の歪みシリコンの長手方向が前記支持基板の<001>方向と略平行であることを特徴とする、前項(10) 10
) 或いは(15)に記載の絶縁ゲート型電界効果型トランジスタ。

(24) 前項(22)に記載の<110>方向の棒状の歪みシリコンと前項(23)に記載の<001>方向の棒状の歪みシリコンが、同一の支持基板上に形成されていることを特徴とする絶縁ゲート型電界効果型トランジスタ。

(25) 前項(1)、(3)、(10)、或いは(15)に記載の歪みシリコン層ないしは棒状の歪みシリコン層をチャネルとする絶縁ゲート型電界効果型トランジスタのソースおよびドレイン電極の一方及び両方が、前記ソースおよびドレイン領域の下部を通じて支持基板と電気的接触を為していることを特徴とする半導体装置。

(26) 前項(1)、(3)、(10)、或いは(15)に記載の歪みシリコン層ないしは棒状の歪みシリコン層をチャネルとする絶縁ゲート型トランジスタと、シリコンゲルマニウム上に成長した平板状歪みシリコン層をチャネルとするトランジスタとが、同一の支持基板上に形成されていることを特徴とする半導体装置。 20

(27) 前項(1)、(3)、(10)、或いは(15)に記載の歪みシリコン層ないしは棒状の歪みシリコン層をチャネルとする絶縁ゲート型トランジスタと、歪みを有しないシリコンをチャネルとするトランジスタとが、同一の支持基板上に形成されていることを特徴とする半導体装置。

(28) 前項(1)、(3)、(10)、或いは(15)に記載の歪みシリコン層ないしは棒状の歪みシリコン層をチャネルとする絶縁ゲート型トランジスタと、歪みを有しないシリコンをチャネルとするトランジスタのゲート電極の高さが同一であることを特徴とする前項(26) 或いは(27)に記載の半導体装置。

(29) 前項(1)、(3)、或いは(14)に記載のシリコンゲルマニウムの除去が過酸化水素とアンモニアの混合物によって行われることを特徴とする、前項(1)、(3) 30
、或いは(14)に記載の絶縁ゲート型電界効果型トランジスタの製造方法。

(30) 前項(1)、(3)、或いは(14)に記載のシリコンゲルマニウムの除去が酸素とフッ素の混合ガスによって行われることを特徴とする、前項(1)、(3)、或いは(14)に記載の絶縁ゲート型電界効果型トランジスタの製造方法。

(31) シリコン基板の表面に酸化膜を形成する工程と、その一部分をエッチングにより開口する工程と、前記開口部にイオンを注入する工程と、前記開口部にシリコンゲルマニウムシード結晶を成長する工程と、前記開口部及び前記酸化膜の上部に非晶質シリコンゲルマニウムを堆積する工程と、前記非晶質シリコンゲルマニウムを加熱しシリコンゲルマニウム結晶とする工程と、前記シリコンゲルマニウム結晶の上部に歪みシリコンを堆積する工程を含むことを特徴とする、絶縁ゲート型電界効果型トランジスタの製造方法。 40

(32) シリコン基板の表面に酸化膜を形成する工程と、その一部分をエッチングにより開口する工程と、前記開口部にシリコンゲルマニウムシード結晶を成長する工程と、前記シリコンゲルマニウムシード結晶の表面を酸化する工程と、前記シリコンゲルマニウムシード結晶を高温熱処理する工程と、前記シリコンゲルマニウムシード結晶表面の酸化膜を除去する工程と、前記開口部及び前記酸化膜の上部に非晶質シリコンゲルマニウムを堆積する工程と、前記非晶質シリコンゲルマニウムを加熱しシリコンゲルマニウム結晶とする工程と、前記シリコンゲルマニウム結晶の上部に歪みシリコンを堆積する工程を含むことを特徴とする、絶縁ゲート型電界効果型トランジスタの製造方法。

(33) 前記シリコンゲルマニウムシード結晶の高温熱処理が、1000℃以上1200 50

℃以下の温度でなされることを特徴とする、前項(32)に記載の絶縁ゲート型電界効果型トランジスタの製造方法。

(34) 前記シリコンゲルマニウム結晶の一部を除去した後に歪みシリコンを堆積することを特徴とする、前項(32)に記載の絶縁ゲート型電界効果型トランジスタの製造方法。

【0106】

【発明の効果】

本願発明は、高移動度且つ短ゲート長の絶縁ゲート型電界効果型トランジスタ及びその製造方法を提供することが出来る。

【0107】

本願発明の別な観点は、特性の異なった広範囲な諸トランジスタの組み合わせを、同一基板に実現することを可能とする。即ち、例えば、本願発明の絶縁ゲート型電界効果型トランジスタと通常のシリコントランジスタないしはSOITランジスタとを、同一ウェハ上への混載を可能とする。

【図面の簡単な説明】

【図1】図1は、本発明の実施の形態1で用いられる歪みシリコン／歪み緩和シリコンゲルマニウム基板の断面および平面を説明する図である。

【図2】図2は、実施の形態1の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図3】図3は、実施の形態1の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図4】図4は、実施の形態1の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図5】図5は、実施の形態1の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図6】図6は、実施の形態1の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図7】図7は、実施の形態1の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図8】図8は、実施の形態1の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図9】図9は、実施の形態1の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図10】図10は、本発明の実施の形態2で用いられる歪みシリコン／歪み緩和シリコンゲルマニウム層／埋込み絶縁膜／シリコン基板の順に積層された構造の平面及び断面を説明する図である。

【図11】図11は、実施の形態2の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図12】図12は、本発明の実施の形態3で用いられる絶縁膜上歪み緩和シリコンゲルマニウム基板の平面及び断面を説明する図である。

【図13】図13は、実施の形態3の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図14】図14は、実施の形態3の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図15】図15は、歪み緩和シリコンゲルマニウム膜の主面に歪みシリコン層5を成長した場合の結晶格子の変形を説明する概念図である。

【図16】図16は、棒状の歪み緩和シリコンゲルマニウムの側面に歪みシリコン層5を成長した場合の結晶格子の変形を説明する概念図である。

【図17】図17は、面方位が(100)の基板上でフィンを配置する方位を示す図である。

10

20

30

40

50

【図 18】図 18 は、面方位が (110) の基板上でフィンを配置する方位を示す図である。

【図 19】図 19 は、実施の形態 3 の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図 20】図 20 は、実施の形態 3 の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図 21】図 21 は、歪み緩和シリコンゲルマニウムのフィンに、歪みシリコン層 5 が均一に成長した状態を示す断面図である。

【図 22】図 22 は、歪み緩和シリコンゲルマニウムのフィンに、歪みシリコン層 5 がファセット成長した状態を示す断面図である。

【図 23】図 23 は、オーバーエッチングされた歪み緩和シリコンゲルマニウムのフィンに、歪みシリコン層 5 が成長した状態を示す断面図である。

【図 24】図 24 は、歪みシリコン層 5 のフィンが歪み緩和シリコンゲルマニウムに支えられてブリッジ状になった実施の形態 3 の状態を示す斜視図である。

【図 25】図 25 は、実施の形態 3 の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図 26】図 26 は、実施の形態 3 の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図 27】図 27 は、実施の形態 3 の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図 28】図 28 は、フィン型歪みシリコンチャネルと両端部のシリコンゲルマニウム層及びゲート電極の形状を示す実施の形態 3 の斜視図である。

【図 29】図 29 は、実施の形態 3 の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図 30】図 30 は、実施の形態 5 で用いる、島状の歪み緩和シリコンゲルマニウム層が形成された基板の断面図である。

【図 31】図 31 は、実施の形態 5 の製造工程において、図 18 と同様の工程を行った後の平面及び断面図である。

【図 32】図 32 は、実施の形態 6 の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図 33】図 33 は、実施の形態 6 の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図 34】図 34 は、実施の形態 6 の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図 35】図 35 は、実施の形態 6 の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図 36】図 36 は、実施の形態 6 の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図 37】図 37 は、実施の形態 6 の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図 38】図 38 は、実施の形態 6 の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図 39】図 39 は、実施の形態 6 の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図 40】図 40 は、実施の形態 6 の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図 41】図 41 は、実施の形態 6 の製造工程順に、装置主要部の平面及び断面を説明する図である。

【図 42】図 42 は、実施の形態 6 の製造工程順に、装置主要部の平面及び断面を説明する図である。

10

20

30

40

50

【図４３】図４３は、実施の形態８の製造工程順に装置主要部の平面及び断面を説明するである。

【図４４】図４４は、図４３の１つの島状部分の拡大図である。

【図４５】図４５は、実施の形態６の製造工程順に装置主要部の平面及び断面を説明するである。

【図４６】図４６は、実施の形態８の製造工程中の装置主要部の断面を説明するである。

【図４７】図４７は、実施の形態９に示す工程において、平面型通常ＭＯＳトランジスタの形成される領域と、実施の形態６の工程による実施の形態２に示す構造の歪みシリコントランジスタの形成される領域との間で、段差を形成した状態を示す断面図である。

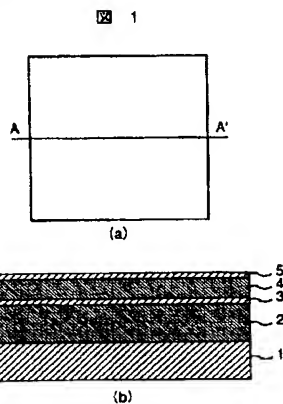
【図４８】図４８は、実施の形態９に示す工程において、実施の形態６の工程によって埋込み絶縁層１３の上部に歪み緩和シリコンゲルマニウム層が形成され、しかもその表面の高さが通常のトランジスタを形成する領域の表面の高さに揃っていることを示す断面図である。

【図４９】図４９は、実施の形態９の半導体装置であって、本発明のトランジスタと通常トランジスタが同一基板上に形成された状態を示す断面図である。

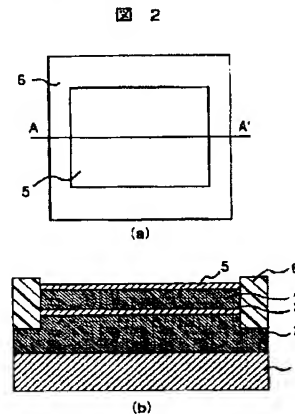
【符号の説明】

１ シリコン基板、２ 歪み緩和シリコンゲルマニウム層、３ 歪みシリコン層、４ 歪み緩和シリコンゲルマニウム層、５ 歪みシリコン層、６ 素子分離領域、７ ゲート絶縁膜、８ ゲート電極、９ ゲート側壁、１０ 第２のゲート側壁、１１ 埋込み酸化膜、１２ ソース・ドレイン領域、１３ 埋込み絶縁膜、１４ 表面酸化膜層、１５ レジストマスク、１６ キャップシリコン層、１７ 注入損傷領域、１８ 歪み緩和シリコンゲルマニウムシード層、１９ 非晶質シリコンゲルマニウム膜、２０ 欠陥・粒界部分、２１ 多結晶シリコンゲルマニウム膜。

【図１】

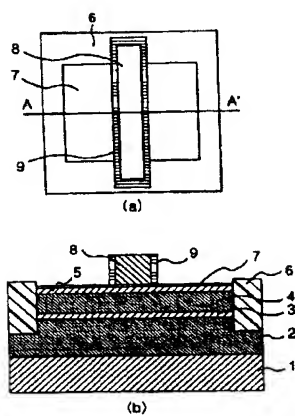


【図２】



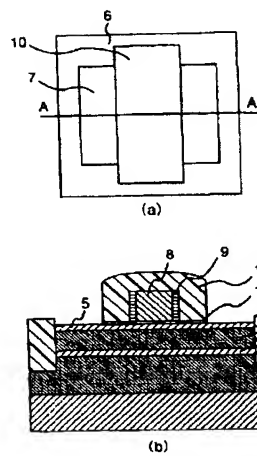
【図 3】

図 3



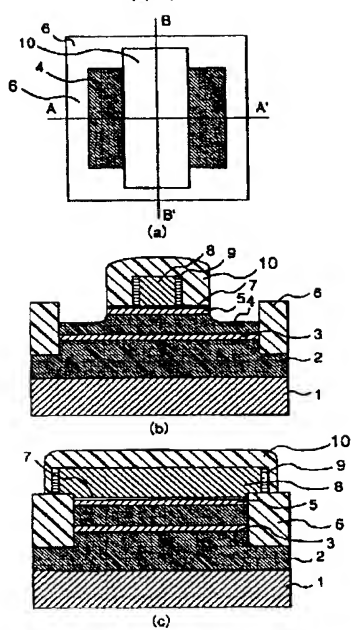
【図 4】

図 4



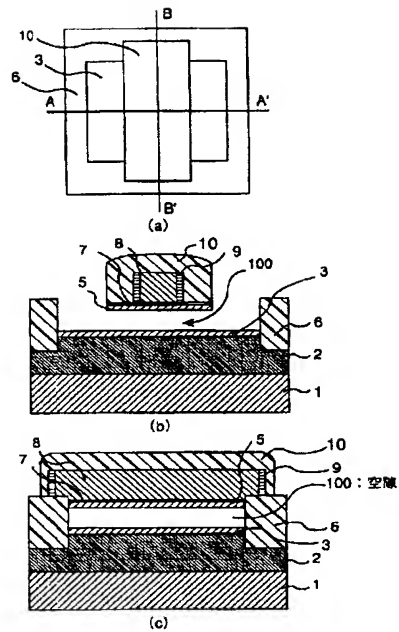
【図 5】

図 5

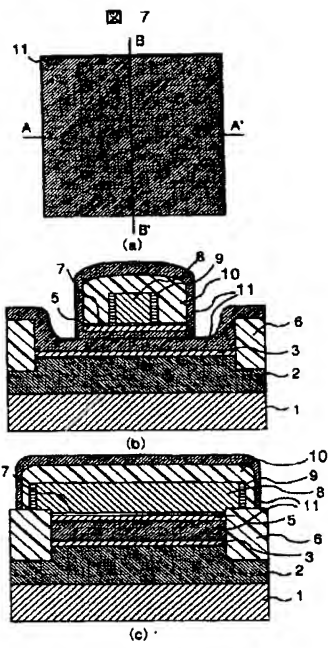


【図 6】

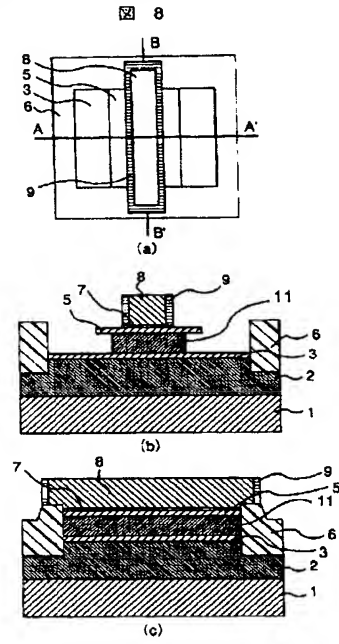
図 6



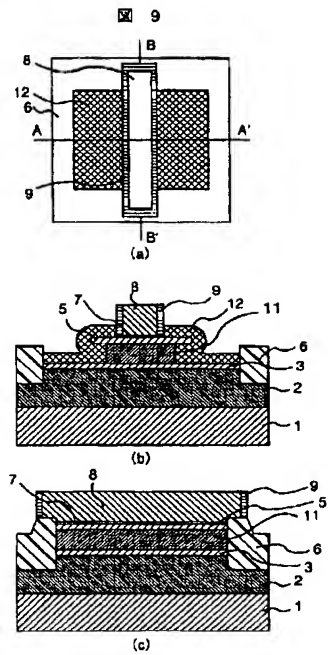
【図 7】



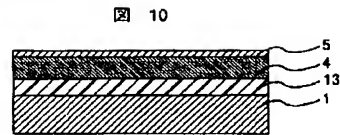
【図 8】



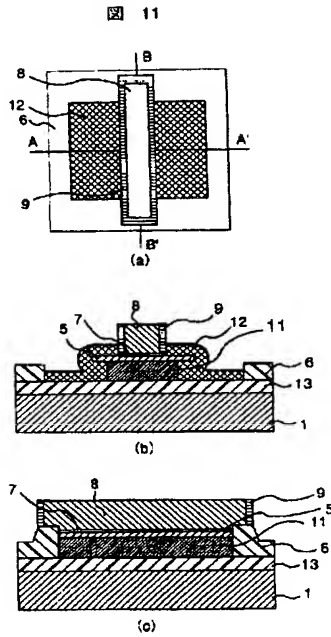
【図 9】



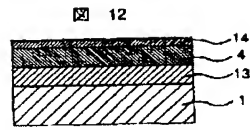
【図 10】



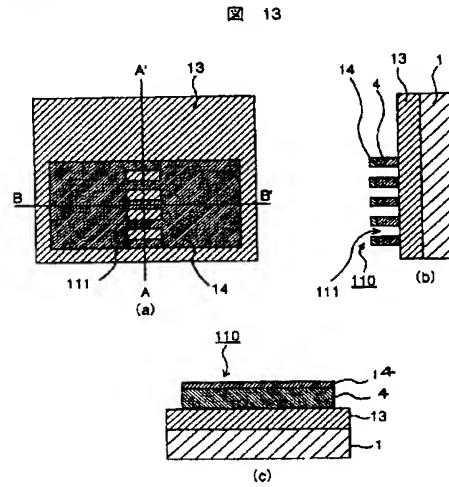
【図 11】



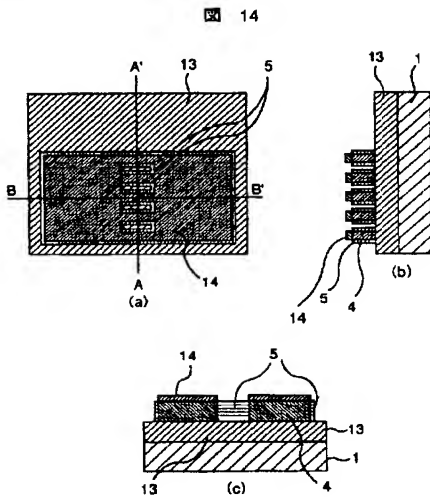
【図 12】



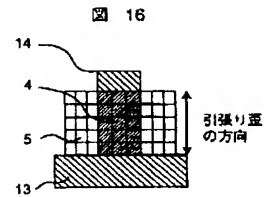
【図 13】



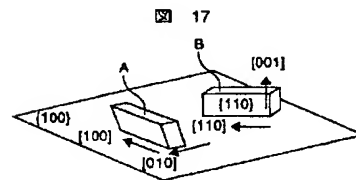
【図 14】



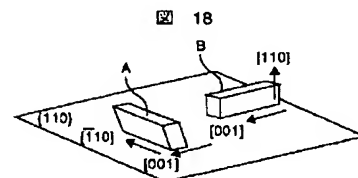
【図 16】



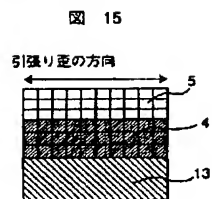
【図 17】



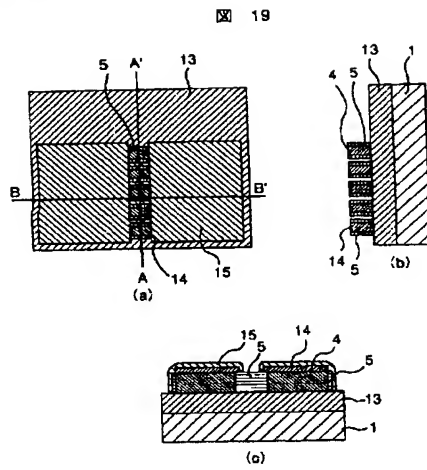
【図 18】



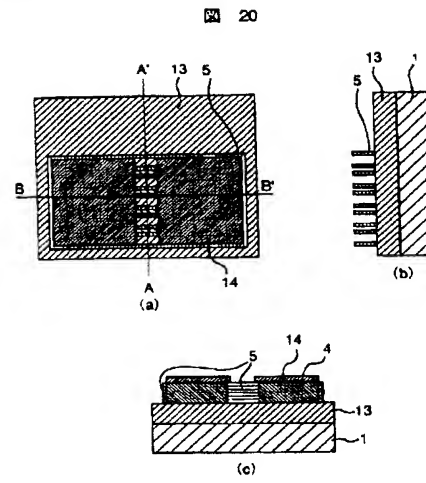
【図 15】



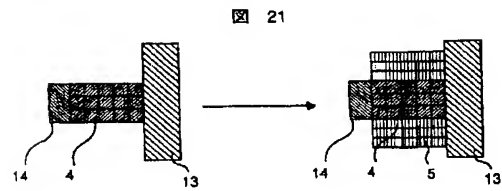
【図 19】



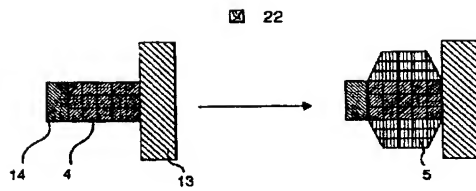
【図 20】



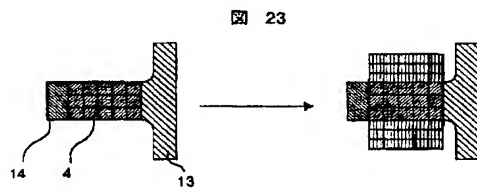
【図 21】



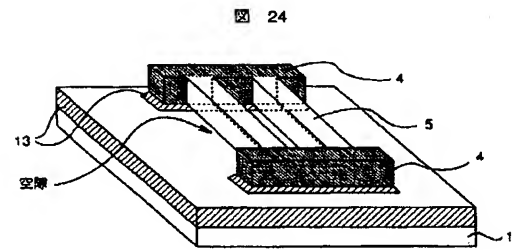
【図 22】



【図 23】

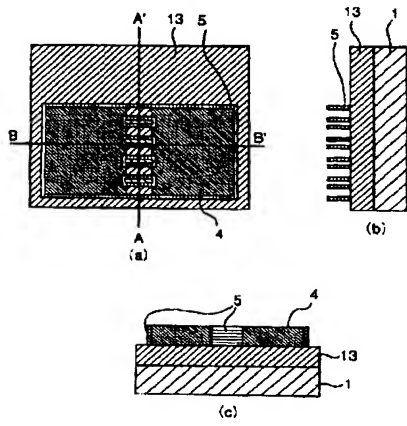


【図 24】



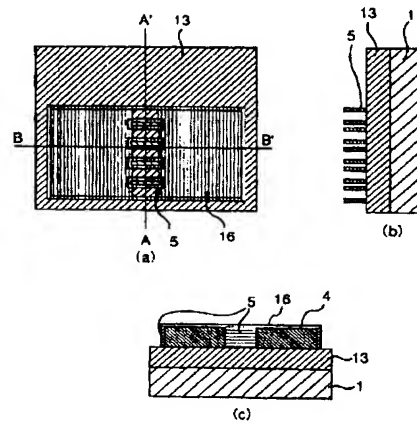
【図 25】

図 25



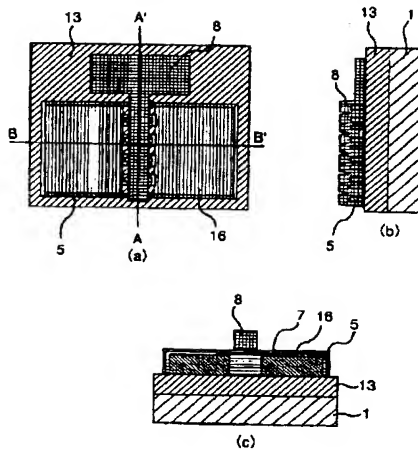
【図 26】

図 26



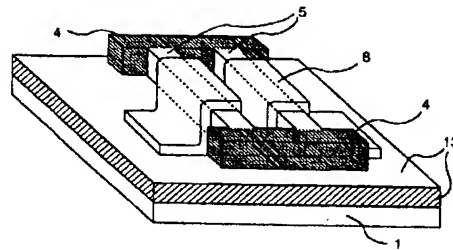
【図 27】

図 27

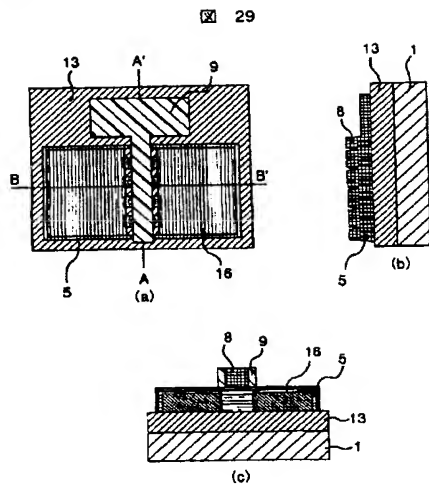


【図 28】

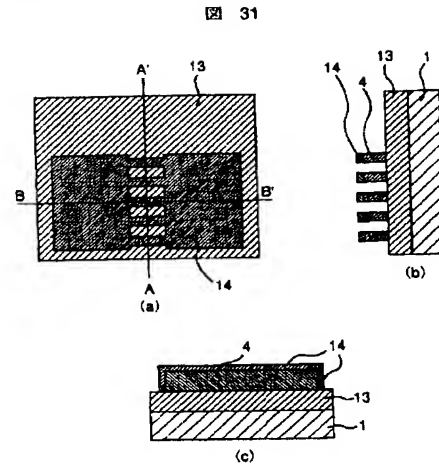
図 28



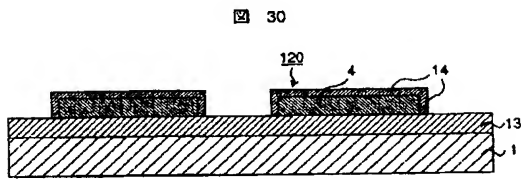
【図 29】



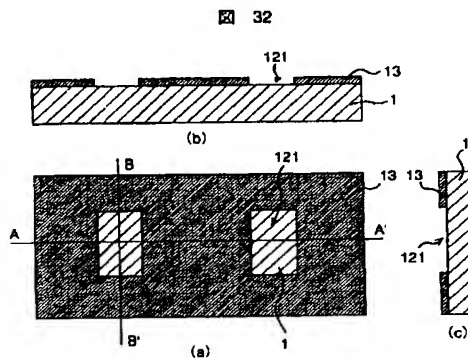
【図 31】



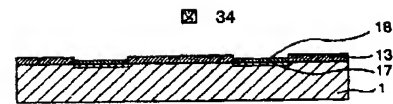
【図 30】



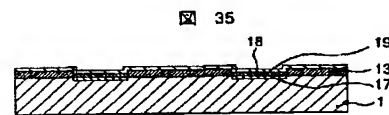
【図 32】



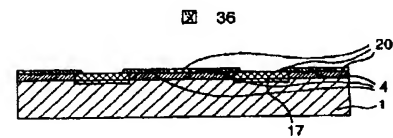
【図 34】



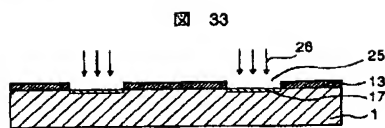
【図 35】



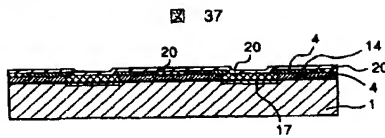
【図 36】



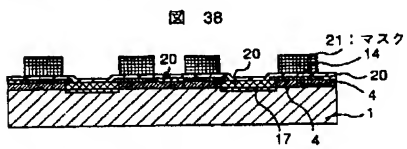
【図 33】



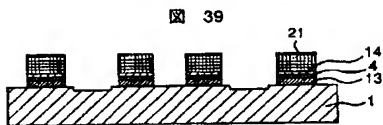
【図 37】



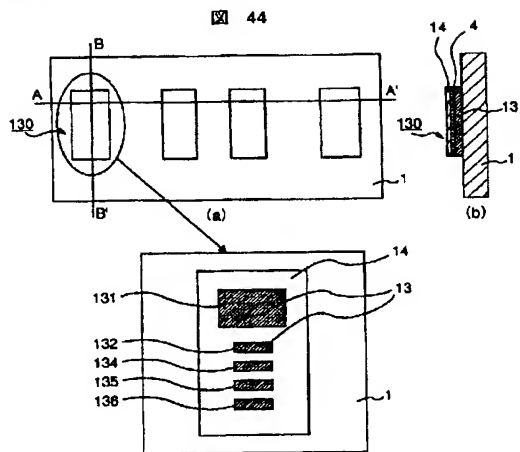
【図 38】



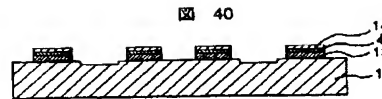
【図 39】



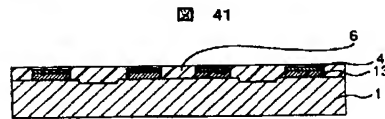
【図 44】



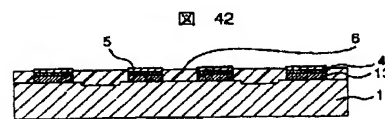
【図 40】



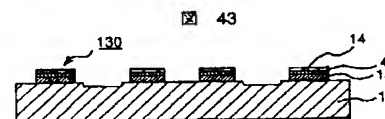
【図 41】



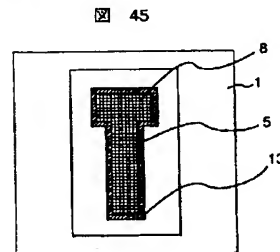
【図 42】



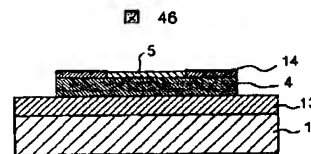
【図 43】



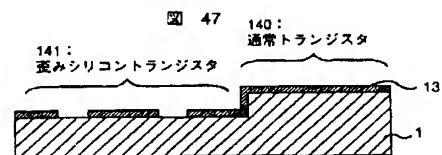
【図 45】



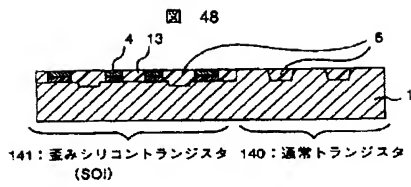
【図 46】



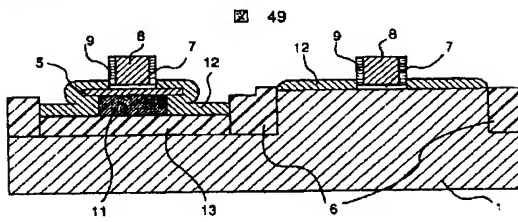
【図 47】



【図 48】



【図 49】



フロントページの続き

(51)Int. Cl.⁷

H 0 1 L 27/08
H 0 1 L 27/088
H 0 1 L 27/12
H 0 1 L 27/786

F I

H 0 1 L 29/78 6 1 8 A
H 0 1 L 29/78 6 1 8 V
H 0 1 L 29/78 6 2 1
H 0 1 L 29/78 6 1 8 C
H 0 1 L 29/78 6 2 7 G
H 0 1 L 29/78 6 2 0
H 0 1 L 21/76 A
H 0 1 L 21/76 D
H 0 1 L 27/08 1 0 2 A

テーマコード (参考)

Fターム(参考) 5F032 AA01 AA35 AA44 AA77 AC02 BB01 CA05 CA09 CA17 CA20
DA04 DA13 DA23 DA24 DA28 DA33 DA60 DA74 DA78
5F048 AA01 AA08 AB03 AC01 AC04 BA09 BA14 BA16 BC11 BC15
BC16 BC18 BG13 BG14 DA23 DA27
5F052 DA01 DA03 JA01 KA01 KA05
5F110 AA04 AA07 AA15 BB04 CC02 DD01 DD03 DD05 DD11 DD12
DD22 DD30 EE22 EE29 EE31 FF22 GG01 GG02 GG12 GG17
GG19 GG22 GG23 GG25 GG28 GG30 GG47 HJ13 HK08 HK09
HK34 HM15 NN02 NN65 NN74 NN78 PP01 PP10 PP23 PP36
QQ05 QQ11